

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-244338  
(P2001-244338A)

(43)公開日 平成13年9月7日(2001.9.7)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード*(参考)
H 0 1 L 21/82		H 0 1 L 21/82	F 5 F 0 3 8
27/04		27/04	M 5 F 0 6 4
21/822			

審査請求 未請求 請求項の数7 O L (全 7 頁)

(21)出願番号 特願2000-49590(P2000-49590)

(22)出願日 平成12年2月25日(2000.2.25)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 豊島 義明

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 5F038 AV06 AV15 BH04 BH05 BH13  
EZ20

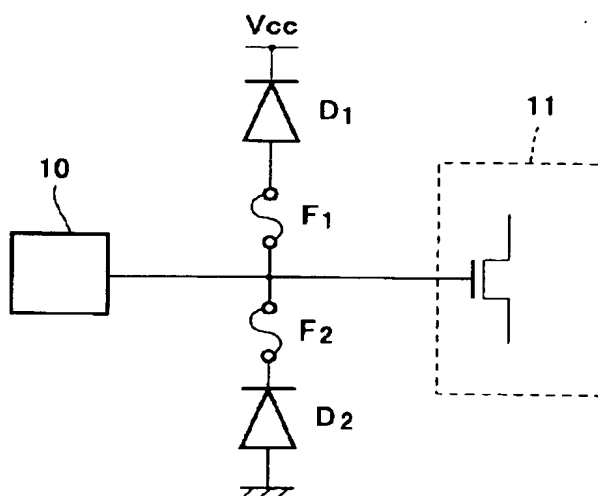
5F064 CC09 CC21 FF04 FF27 FF30  
FF32 FF34 FF42 FF45

(54)【発明の名称】 半導体集積回路装置、半導体集積回路実装基板装置および半導体集積回路装置の入力保護機能解除方法

(57)【要約】

【課題】集積回路チップのパッケージ、梱包、搬送等の取り扱いにおいてESDに起因した素子破壊を防止し、通常使用時には入力保護ダイオードを信号入力端子から分断し、高速動作の妨げやラッチアップを防止する。

【解決手段】LSI内部のMOSゲート入力回路に接続され、外部から入力信号を供給するための信号入力端子10と、信号入力端子とLSI内部の電源ノードとの間に順方向の向きで接続された入力保護用の第1のダイオードD1および信号入力端子とLSI内部の接地ノードとの間に逆方向の向きで接続された入力保護用の第2のダイオードD2と、信号入力端子10と第1のダイオードのP型領域との間に挿入された第1のフューズ素子F1および外部信号入力端子10と第2のダイオードのN型領域との間に挿入された第2のフューズ素子F2とを具備する。



1

## 【特許請求の範囲】

【請求項 1】 信号入力端子に MOS ゲート入力回路および入力保護回路が接続された半導体集積回路装置であって、製造後の状態で外部からの制御により前記入力保護回路が前記信号入力端子から分断され得るように形成されたことを特徴とする半導体集積回路装置。

【請求項 2】 集積回路内部の電源配線に外部電源電位を供給するための電源端子と、前記集積回路内部の接地配線に外部接地電位を供給するための接地端子と、

前記集積回路内部の MOS ゲート入力回路に接続され、外部から入力信号を供給するための信号入力端子と、前記信号入力端子と集積回路内部の電源ノードとの間に PN 接合が順方向の向きで接続された入力保護用の第 1 のダイオードおよび前記信号入力端子と集積回路内部の接地ノードとの間に PN 接合が逆方向の向きで接続された入力保護用の第 2 のダイオードのうちの少なくとも一方のダイオードと、

前記信号入力端子と前記第 1 のダイオードの P 型領域との間に挿入された第 1 のフューズ素子および前記外部信号入力端子と前記第 2 のダイオードの N 型領域との間に挿入された第 2 のフューズ素子のうちの少なくとも一方のフューズ素子とを具備することを特徴とする半導体集積回路装置。

【請求項 3】 前記フューズ素子は、 $100 \mu\text{J}$  のパルス電力の印加では溶断せず、 $30 \text{ mA}$ 、 $20$  秒以内の直流電流の印加により切断する特性を持つことを特徴とする請求項 2 記載の半導体集積回路装置。

【請求項 4】 前記フューズ素子は、膜厚  $0.3 \mu\text{m}$  のアルミニウム配線の一部が  $0.2 \mu\text{m}$  の配線幅に形成されてなり、周囲が二酸化シリコン膜で絶縁されていることを特徴とする請求項 3 記載の半導体集積回路装置。

【請求項 5】 前記フューズ素子は、多結晶シリコン膜の一部が細く形成されてなり、周囲が絶縁膜で覆われている特徴とする請求項 3 記載の半導体集積回路装置。

【請求項 6】 請求項 2 乃至 5 のいずれか 1 項に記載の半導体集積回路装置と、

前記半導体集積回路装置が実装され、前記電源端子に接続される電源配線、前記接地端子に接続される接地配線および前記信号入力端子に接続される配線のパターンを有する回路基板とを具備することを特徴とする半導体集積回路実装基板装置。

【請求項 7】 請求項 6 記載の半導体集積回路実装基板装置またはそれが組み込まれた電子装置における前記半導体集積回路装置に対して、実質的に前記信号入力端子と前記電源端子との間に正方向の電流を印加して前記第 1 のフューズ素子を切断するステップまたは実質的に前記信号入力端子と前記接地端子との間に負方向の電流を印加して前記第 2 のフューズ素子を切断するステップのうちの少なくとも一方のステップとを具備することを特

2

徴とする半導体集積回路装置の入力保護機能解除方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置、半導体集積回路実装基板装置および半導体集積回路装置の入力保護機能解除方法に係り、特に MOS ゲート入力回路を有する LSI の入力保護回路に関するもので、例えばギガヘルツ (GHz) 領域の高周波で動作する集積回路装置に使用されるものである。

【0002】

【従来の技術】MOS ゲート入力回路を有する LSI、例えば MOS 型 LSI においては、実際に回路基板に実装されて使用される以前の取り扱いに際して信号入力端子に人体または各種装置から静電気放電 (electrostatic discharge ; 以下、ESD と記す) が印加された時に、静電気が集積回路内部の MOS ゲート入力回路の MOS ゲートに到達させないように放電させる保護回路 (入力保護ダイオード) が内蔵されている。

【0003】図 9 は、MOS 型の集積回路に設けられた典型的な入力保護回路の一例を示している。

【0004】図 9 において、信号入力端子 10 は、集積回路内部素子 (MOS ゲート入力回路 11 の MOS ゲート) に接続されている。そして、集積回路内部の電源ノード (VCC 電源線) と信号入力端子 10 との間にはダイオード D1 が逆向きに配置され、信号入力端子 10 と集積回路内部の接地ノード (接地線) との間にはダイオード D2 が逆向きに配置されている。

【0005】上記入力保護回路において、通常の動作時には、ダイオード D1、D2 は逆方向にバイアスされ、回路動作には影響を与えない。

【0006】これに対して、信号入力端子 10 に正の ESD が印加された時には、ダイオード D1 の順方向電流として VCC 電源線に電荷を放電させ、ダイオード D2 の耐圧を超えた逆方向電流として接地線に電荷を放電させるので、ESD を集積回路内部素子に到達させない。

【0007】また、信号入力端子に負の ESD が印加された時には、ダイオード D2 の順方向電流として接地線に電荷を放電させ、ダイオード D1 の耐圧を超えた逆方向電流として VCC 電源線に電荷を放電させるので、ESD を集積回路内部素子に到達させない。

【0008】しかし、GHz 領域の高周波で動作する LSI (例えば携帯電話用 LSI) では、上記したような入力保護ダイオード D1、D2 の PN 接合による寄生容量が高周波信号の伝搬を妨げ、高速動作を妨げる要因になるので、信号入力端子 10 に入力保護ダイオード D1、D2 を接続することが問題になる。

【0009】また、一般に、集積回路の信号入力端子 10 に接続されている入力保護ダイオード D1、D2 がラッチアップを引き起こす原因となる場合があり、問題になる。

【0010】

【発明が解決しようとする課題】上記したように従来のLSIの入力保護ダイオードは、その寄生容量が高周波信号の伝搬を妨げ、高速動作を妨げる要因になるという問題や、ラッチアップを引き起こす原因となる問題があった。

【0011】集積回路の入力保護の必要性が高いのは、集積回路の製造工程において、シリコンチップの状態からパッケージに封入し、梱包、搬送などの取り扱いをする過程と、回路基板に実装する過程である。LSIが実際に回路基板に実装されて回路基板の配線に接続された後は、回路基板全体の静電容量が大きくなることや、LSI自身の信号入力端子が露出する機会が少なくなるので、入力保護の必要性が低くなり、入力保護回路を省略しても殆んど支障はない。

【0012】本発明は上記の点に着目してなされたもので、集積回路チップのパッケージ、梱包、搬送等の取り扱いにおいてESDに起因した素子破壊を防止できるとともに、通常の使用時には入力保護ダイオードを信号入力端子から分断でき、入力保護ダイオードに起因する高速動作の妨げやラッチアップを防止し得る半導体集積回路装置および半導体集積回路実装基板装置を提供することを目的とする。

【0013】また、本発明は、半導体集積回路装置の通常の使用に先だって入力保護ダイオードを信号入力端子から分断可能になり、入力保護ダイオードに起因する高速動作の妨げやラッチアップを防止し得る半導体集積回路装置の入力保護機能解除方法を提供することにある。

【0014】

【課題を解決するための手段】本発明の第1の半導体集積回路装置は、信号入力端子にMOSゲート入力回路および入力保護回路が接続された半導体集積回路装置であって、製造後の状態で外部からの制御により前記入力保護回路が前記信号入力端子から分断され得るように形成されたことを特徴とする。

【0015】本発明の第2の半導体集積回路装置は、集積回路内部の電源配線に外部電源電位を供給するための電源端子と、前記集積回路内部の接地配線に外部接地電位を供給するための接地端子と、前記集積回路内部のMOSゲート入力回路に接続され、外部から入力信号を供給するための信号入力端子と、前記信号入力端子と集積回路内部の電源ノードとの間にPN接合の向きが順方向の向きで接続された入力保護用の第1のダイオードおよび前記信号入力端子と集積回路内部の接地ノードとの間にPN接合の向きが逆方向の向きで接続された入力保護用の第2のダイオードのうちの少なくとも一方のダイオードと、前記信号入力端子と前記第1のダイオードのP型領域との間に挿入された第1のフューズ素子および前記外部信号入力端子と前記第2のダイオードのN型領域との間に挿入された第2のフューズ素子のうちの少なくとも一方のフューズ素子とを具備することを特徴とす

る。

【0016】本発明の半導体集積回路実装基板装置は、本発明の第2の半導体集積回路装置と、前記半導体集積回路装置が実装され、前記電源端子に接続される電源配線、前記接地端子に接続される接地配線および前記信号入力端子に接続される入力配線を有する回路基板とを具備することを特徴とする。

【0017】本発明の半導体集積回路の入力保護機能解除方法は、本発明の半導体集積回路実装基板装置またはそれが組み込まれた電子装置における前記半導体集積回路装置に対して、実質的に前記信号入力端子と前記電源端子との間に正方向の電流を印加して前記第1のフューズ素子を切断するステップまたは実質的に前記信号入力端子と前記接地端子との間に負方向の電流を印加して前記第2のフューズ素子を切断するステップのうちの少なくとも一方のステップとを具備することを特徴とする。

【0018】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0019】本発明の半導体集積回路装置は、LSI製造後に外部からの制御によりLSI内部の入力保護回路を信号入力端子から分離し得るように形成されたことを特徴とするものである。

【0020】＜第1の実施の形態＞（LSI）

図1は、本発明の第1の実施の形態に係るLSIの内部の入力保護回路部を示している。

【0021】図1において、信号入力端子10は、集積回路内部素子（MOSゲート入力回路11のMOSゲート）に接続されている。そして、集積回路内部の電源ノード（VCC電源線）と信号入力端子10との間には、第1のフューズ素子F1を介して入力保護用の第1のダイオードD1が逆向きに接続されており、信号入力端子10と集積回路内部の接地ノード（接地線）との間には、第2のフューズ素子F2を介して入力保護用の第2のダイオードD2が逆向きに接続されている。この場合、第1のダイオードD1は、信号入力端子10側にアノード側、VCC電源線側にカソード側の向きで配置され、第2のダイオードD2は、信号入力端子10側にカソード側、接地線側にカソード側の向きで配置されている。

【0022】なお、入力保護ダイオードとしては、プレーナ型のPN接合ダイオードや、MOSトランジスタのゲート・ソース・基板領域が接続された基板領域・ドレイン間のPN接合が用いられる。

【0023】上記構成の入力保護回路を有するLSIは、製造完了状態（実際に回路基板に実装される以前の状態）では、フューズ素子F1およびF2が非切断状態である。

【0024】したがって、集積回路の製造工程においてシリコンチップの状態からパッケージに封入し、梱包、搬送などの取り扱いをする過程や、回路基板に実装する

5

過程においては、ダイオードD1およびD2による通常の入力保護動作が可能である。

【0025】即ち、通常の動作時には、ダイオードD1、D2は逆方向にバイアスされ、回路動作には影響を与えない。これに対して、信号入力端子10に正のESDが印加された時には、ダイオードD1の順方向電流としてVCC電源線に電荷を放電させ、ダイオードD2の耐圧を超えた逆方向電流として接地線に電荷を放電させるので、ESDを集積回路内部素子に到達させない。また、信号入力端子に負のESDが印加された時には、ダイオードD2の順方向電流として接地線に電荷を放電させ、ダイオードD1の耐圧を超えた逆方向電流としてVCC電源線に電荷を放電させるので、ESDを集積回路内部素子に到達させない。

【0026】一方、LSIを実際に回路基板に実装した後は、LSI外部からの制御により、フューズ素子F1およびF2を切断し、入力保護用のダイオードD1およびD2を信号入力端子10から分断（電氣的に分離）することが可能である。

【0027】これにより、LSIの回路基板実装後は、入力信号経路からダイオードD1およびD2のPN接合による寄生容量を分離することが可能であり、例えばGHz領域の高周波で動作するLSIの場合、ダイオードD1およびD2が高速動作を妨げる要因になることもなく、実動作時の高周波特性を向上させることが可能になる。

【0028】また、入力保護用のダイオードD1およびD2を信号入力端子10から分断することにより、LSIの信号入力端子10に入力保護ダイオードが接続されている場合のラッチアップ現象が発生するおそれなくなる。この点は、高周波で動作するLSIに限らず、LSI一般に有効である。

【0029】なお、上記したようにLSIの回路基板実装後は、入力保護用のダイオードD1およびD2を信号入力端子10から分断して入力保護回路を不使用状態にしても、回路基板全体の静電容量が大きくなることや、LSI自身の信号入力端子10が露出する機会が少なくなることから、入力保護の必要性が低くなるので、殆んど支障はない。

【0030】次に、フューズ素子F1およびF2の非切断／切断条件について説明する。

【0031】LSIの取り扱いにおいて問題となるESDは、図2に示す容量放電回路のようにモデル化される。ここで、Vは直流電圧源、Cは電源容量、Rは電源抵抗、SWは電源容量Cに対する充電動作／放電動作を切り換えるスイッチ素子である。

【0032】いま、各種装置からESDが印加される場合（マシンモデル）の等価動作として、 $R=0\ \Omega$ とし、 $C=200\text{pF}$ に対して充電した後にLSIの信号入力端子に放電させるものとする。

【0033】これに対して、人体からESDが印加される場合（人体モデル）の等価動作として、 $R=1.5\text{k}\Omega$ と

6

し、 $C=50\text{pF}$ に対して充電した後にLSIの信号入力端子に放電させるものとする。

【0034】上記マシンモデルの場合には $V=500\text{V}$ 以上、人体モデルの場合には $V=2000\text{V}$ 以上の耐圧を持てば、通常の取り扱いにおいてESDによるLSIの損傷は問題にならない。これらの場合には、ESDのエネルギーは、主として入力保護用のダイオードD1、D2および入力配線において熱となって消費される。

【0035】上記マシンモデルの $V=500\text{V}$ における静電エネルギーは $25\ \mu\text{J}$ 、人体モデルの $V=2000\text{V}$ における静電エネルギーは $100\ \mu\text{J}$ であるが、人体モデルにおいてはRにおけるエネルギーの消費があるので、その全てがLSIに印加されるわけではない。

【0036】上記説明から、LSIの入力保護回路においては、最大 $100\ \mu\text{J}$ 程度のエネルギーを吸収することを想定すればよい。即ち、フューズ素子F1およびF2は、LSIの信号入力端子10に $100\ \mu\text{J}$ のエネルギーが印加された時には切断せずに導通を維持し、これより大きなエネルギーが印加された時に溶断する特性を持つことが求められる。なお、上記フューズ素子F1が溶断する際に入力保護用ダイオードD1に流れる電流はその順方向電流の許容範囲内である必要があり、同様に、フューズ素子F2が溶断する際に入力保護用ダイオードD2に流れる電流はその順方向電流の許容範囲内である必要がある。

【0037】図3(a)は、図1中の各フューズ素子F1、F2の具体的な平面パターンを示しており、図3(b)は同図(a)中のB-B線に沿う断面構造を示している。

【0038】LSIの信号入力端子10とダイオードD1、D2との間は、通常は金属配線が用いられるが、この金属配線30の一部を細く形成してフューズ素子F1、F2とすることができる。この場合、フューズ素子F1、F2は金属配線の下層の絶縁膜31と上層の絶縁膜32とで周囲を囲まれている。

【0039】金属配線30に例えばアルミニウム膜を用いた場合、ある程度の直流電流を印加すると短時間に発熱溶断に至ることが分っており、この電流値は周囲の絶縁膜31、32の熱伝導性により異なるが、 $10^7\text{A}/\text{cm}^2$ 程度である。

【0040】図4は、二酸化シリコン膜で周囲を絶縁したアルミニウム配線が溶断に至る時間を測定した実験結果である。配線膜厚Tは $0.3\ \mu\text{m}$ 、配線幅Wは $0.3\ \mu\text{m}$ と $0.2\ \mu\text{m}$ の場合について実験した。また、実験した範囲内において、フューズ素子は前記の $100\ \mu\text{J}$ のESDが印加されても何らの特性変動をきたさなかった。

【0041】この実験結果に基づき、フューズ素子F1、F2は、配線膜厚 $T=0.3\ \mu\text{m}$ 、配線幅 $W=0.2\ \mu\text{m}$ によって構成した。

【0042】＜第2の実施の形態＞（LSI実装回路基板）

7

第2の実施の形態では、本発明に係るLSIが回路基板に実装されたLSI実装回路基板について説明する。

【0043】図5は、第2の実施の形態に係るLSI実装回路基板装置の一例を示す。

【0044】図5において、20は第1の実施の形態に係るLSI、50は上記LSI20が実装された実装回路基板である。この実装回路基板50は、前記LSI20のVCC電源端子、接地端子、信号入力端子10などに対応して接続される配線パターン51が絶縁基板上に形成されている。この配線パターン51の先端部は、実装回路基板50のVCC電源端子、接地端子GND、信号入力端子INなどとして使用される。

【0045】上記構成のLSI実装回路基板は、実装されたLSI20のフューズ素子F1およびF2が切断される前の状態では、梱包、搬送などの取り扱いをする過程においてはダイオードD1およびD2による通常の入力保護動作が可能である。

【0046】これに対して、LSI外部からの制御によりフューズ素子F1およびF2が切断され、入力保護用のダイオードD1およびD2が信号入力端子10から分断された状態では、入力信号経路からダイオードD1およびD2のPN接合による寄生容量を分離することが可能であり、実装回路基板が例えばGHz領域の高周波動作作用のものである場合、入力保護用のダイオードD1およびD2が高速動作を妨げる要因になることもなく、実動作時の高周波特性を向上させることが可能になる。

【0047】また、入力保護用のダイオードD1およびD2を信号入力端子10から分断することにより、LSIの信号入力端子10に入力保護ダイオードが接続されている場合のラッチアップ現象が発生するおそれなくなる。

【0048】なお、実装回路基板装置は、入力保護用のダイオードD1およびD2が信号入力端子10から分断されて入力保護回路が不使用の状態になっても、回路基板全体の静電容量が大きくなり、入力保護の必要性が低くなるので、殆んど支障はない。

【0049】＜第3の実施の形態＞（実装LSIの入力保護特性解除方法）

第3の実施の形態では、第1の実施の形態に係るLSIが第2の実施の形態のLSI実装回路基板のように実装された状態、あるいは、さらにセット製品に組み込まれた状態、LSI外部からの制御によりLSI内部の入力保護回路を信号入力端子から分離する実装LSIの入力保護特性解除方法について説明する。

【0050】図6（a）、（b）は、第3の実施の形態に係るLSI実装回路基板装置の入力保護特性解除方法の一例を示している。

【0051】まず、図6（a）に示すように、試験装置のプロープ針61を実装回路基板装置の信号入力端子INとVCC電源端子にコンタクトさせ、信号入力端子INに正の電流を30mA、最大20秒間印加するように両者間に

8

直流電圧V1を印加することにより第1のフューズ素子（図1中のF1）を切断する。この時、信号入力端子INに印加した正の電流は、第1のダイオード（図1中のD1）の順方向電流として流注するが、上記ダイオードD1の順方向電流の範囲内であるので、上記ダイオードD1自身が損傷することはない。

【0052】次に、図6（b）に示すように、試験装置のプロープ針61を実装回路基板装置の信号入力端子INと接地端子GNDにコンタクトさせ、信号入力端子INに負の電流を30mA、最大20秒間印加するように両者間に直流電圧V2を印加することにより第2のフューズ素子（図1中のF2）を切断する。この時、信号入力端子INに印加した負の電流は、第2のダイオード（図1中のD2）の順方向電流として流出するが、上記ダイオードD2の順方向電流の範囲内であるので、上記ダイオードD2自身が損傷することはない。

【0053】このようにフューズ素子F1、F2を切断した後、LSIの所定の動作を確認することができた。

【0054】なお、信号入力端子INに印加する電圧をランプ波形とし、フューズ素子F1、F2がそれぞれ切断するまで印加電流レベルを次第に上昇させるようにしてもよい。

【0055】また、フューズ素子F1、F2の切断後の状態において、フューズ素子F1、F2が形成されていた配線のダイオード側配線の寄生容量による影響をできる限り除外するためには、チップ上の入力パッドから集積回路内部素子までの主配線から分岐して入力保護用ダイオードD1あるいはD2に接続される分岐配線のうち、できるかぎり分岐点に近い部分にフューズ素子F1、F2を配置することが望ましい。

【0056】また、本発明は、入力保護回路として、正のESDに対する入力保護を重視して第1のダイオードD1のみを設ける場合、あるいは、負のESDに対する入力保護を重視して第2のダイオードD2のみを設ける場合にも適用可能である。

【0057】また、フューズ素子F1、F2の切断は、レーザービームの照射ではなく、LSI外部からの電流印加によって行うものであるので、多層配線構造を有するLSIにおいては多層配線の任意の金属配線層にフューズ素子を形成してよい。

【0058】＜第4の実施の形態＞（多結晶シリコン膜によるフューズ素子の形成）

本発明に用いるフューズ素子は、第1の実施の形態で示したアルミニウム膜に限らず、他の導電性膜を用いることも可能である。特に、LSIによく用いられる多結晶シリコン膜は、フューズ素子に用いても良好な特性を示し、この多結晶シリコン膜を用いたフューズ素子について、以下に説明する。

【0059】図7（a）は、本発明の第4の実施の形態に係るLSIの入力保護回路で保護ダイオードに接続さ

9

れるフューズ素子の具体的な平面パターンを示しており、図7(b)は同図(a)のフューズ素子を含む半導体基板上の断面構造を示している。

【0060】ここでは、半導体基板上の多層配線の下部に形成された長方形薄片状の多結晶シリコン膜70の中間部を細く形成した部分をフューズ素子として用いている。そして、この多結晶シリコン膜70の両端部と上層配線層に形成された配線71との間は、層間絶縁膜72、73中に埋め込み形成された導電性プラグ74、75および中間配線層に形成された中継接続パターン76を介して接続されている。

【0061】多結晶シリコン膜は、MOSFETのゲート配線層などに用いられており、金属配線に用いられるアルミニウム膜と比べて、周囲の絶縁膜が厚く、その熱伝導性が低くなる。また、多結晶シリコン膜は、微細なパターン加工が可能であり、同一世代の加工技術を用いて0.1 $\mu$ mレベルの加工が可能である。したがって、多結晶シリコン膜を用いたフューズ素子の配線幅を例えば0.1 $\mu$ mに加工した場合は、アルミニウム膜配線を用いたフューズ素子と比べて、直流電流の印加による溶断が効率的に行われる利点がある。

【0062】図8は、図7(a)および(b)に示した多結晶シリコン膜を用いたフューズ素子の印加直流電流対溶断時間特性を示した。

【0063】図8から分かるように、多結晶シリコン膜を用いたフューズ素子の印加直流電流は、図3(a)および(b)に示したアルミニウム膜配線を用いたフューズ素子と比べて、小さな直流電流による溶断が可能となる。

【0064】

【発明の効果】上述したように本発明の半導体集積回路装置および半導体集積回路実装基板装置によれば、集積回路チップのパッケージ、梱包、搬送等の取り扱いにおいてESDに起因した素子破壊を防止できるとともに、通常の使用時には入力保護ダイオードを信号入力端子から分断でき、入力保護ダイオードに起因する高速動作の妨\*

10

\*げ(性能の制約)やラッチアップを防止することができ、高性能の回路動作が可能になる。

【0065】また、本発明の半導体集積回路装置の入力保護機能解除方法によれば、半導体集積回路装置の通常の使用に先だって入力保護ダイオードを信号入力端子から分断可能になり、入力保護ダイオードに起因する高速動作の妨げやラッチアップを防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るLSIの内部の入力保護回路部を示す回路図。

【図2】図1中の入力保護回路に対するESD印加動作をモデル化して示す回路図。

【図3】図1中の各フューズ素子の平面パターンおよび断面構造の一例を示す図。

【図4】二酸化シリコン膜で周囲を絶縁したアルミニウム配線が溶断に至る時間を測定した実験結果の一例を示す図。

【図5】本発明の第2の実施の形態に係るLSI実装回路基板装置の一例を概略的に示す平面図。

【図6】本発明の第3の実施の形態に係るLSI実装回路基板装置の入力保護特性解除方法の一例を示す図。

【図7】本発明の第4の実施の形態に係るLSIの入力保護回路で保護ダイオードに接続されるフューズ素子の平面パターンおよび断面構造の一例を示す図。

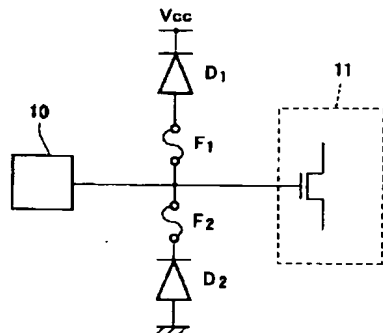
【図8】図7に示した多結晶シリコン膜を用いたフューズ素子の印加直流電流対溶断時間特性を示す図。

【図9】MOS型の集積回路に設けられた典型的な入力保護回路の一例を示す回路図。

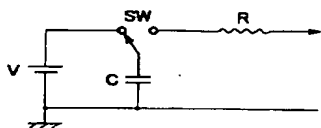
【符号の説明】

- 30…信号入力端子、  
11…MOSゲート入力回路、  
F1…第1のフューズ素子、  
F2…第2のフューズ素子、  
D1…入力保護用の第1のダイオード、  
D2…入力保護用の第2のダイオード。

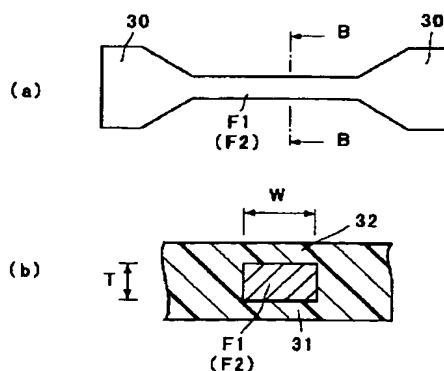
【図1】



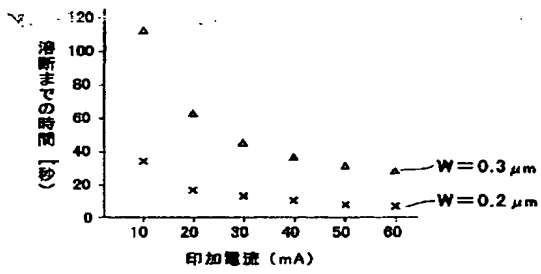
【図2】



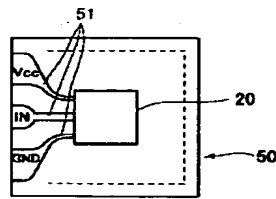
【図3】



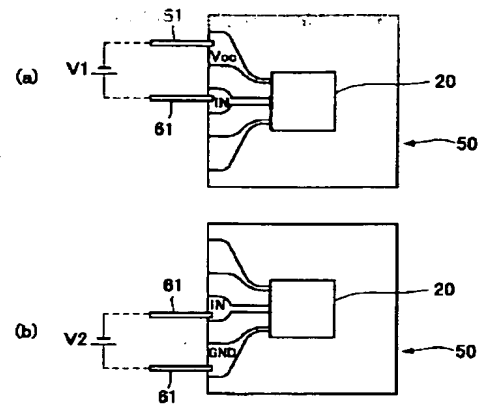
【図4】



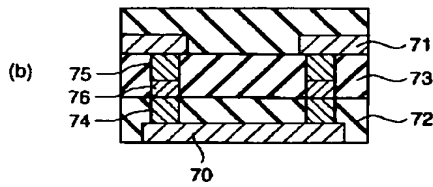
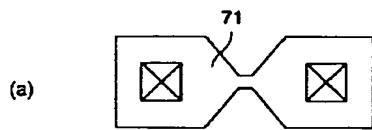
【図5】



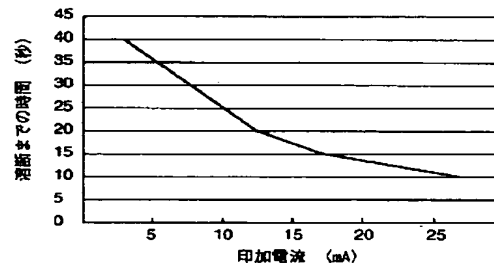
【図6】



【図7】



【図8】



【図9】

